

PAT-NO: JP405307165A
DOCUMENT-IDENTIFIER: JP 05307165 A
TITLE: ACTIVE MATRIX DISPLAY PANEL
PUBN-DATE: November 19, 1993

INVENTOR-INFORMATION:
NAME
OZAWA, NORIO

ASSIGNEE-INFORMATION:
NAME SEIKO EPSON CORP COUNTRY
N/A

APPL-NO: JP04110437
APPL-DATE: April 28, 1992

INT-CL (IPC): G02F001/133, G02F001/1345 , G09F009/30 ,
G09G003/36

US-CL-CURRENT: 345/103

ABSTRACT:

PURPOSE: To provide the active matrix display panel which can be improved in display characteristics and reliability by making an electric component, which is parasitic on a video signal line, equivalent.

CONSTITUTION: On the source line driving circuit side of the active matrix liquid crystal display panel, source-side wiring layers S<SB>a1</SB> and S<SB>a2</SB> crossing video signal lines V<SB>1</SB>, V<SB>2</SB>, and V<SB>3</SB> are made nearly equal in wiring width at specific parts to make the

parasitic capacities of the paths of the video signals nearly equal, and, an extension part S_{11} and a narrow part S_{22} (electric resistance correction part) having the wiring width are provided according to the wiring lengths of the source-side wiring layers S_{a1} , S_{a2} , and S_{a3} and electric resistances which are parasitic on them are made nearly equal.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-307165

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
1/1345		9018-2K		
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-110437

(22)出願日 平成4年(1992)4月28日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

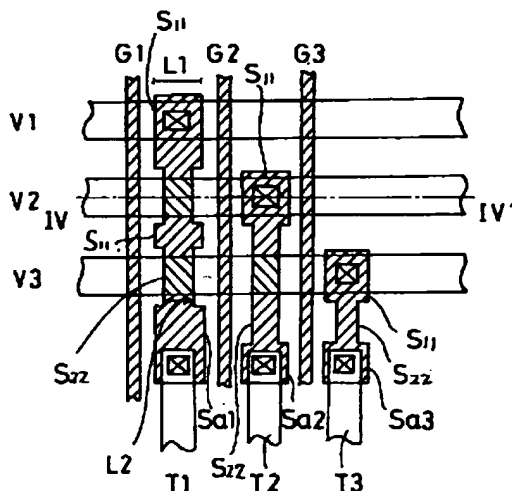
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 アクティブマトリクス表示パネル

(57)【要約】

【目的】 ビデオ信号線に寄生する電気的成分を等価にし、表示特性および信頼性を向上可能なアクティブマトリクス表示パネルを実現すること。

【構成】 アクティブマトリクス液晶表示パネルのソース線駆動回路側において、ビデオ信号線 V_1 、 V_2 、 V_3 と交差するソース側配線層 S_{a1} 、 S_{a2} の所定部分の配線幅を同等としてビデオ信号の経路における寄生容量の大きさを同等にし、かつ、ソース側配線層 S_{a1} 、 S_{a2} 、 S_{a3} の配線長さに応じて、それらに配線幅の拡張部 S_{11} および狭小部 S_{22} (電気的抵抗補正部)を設け、それらに寄生する電気的抵抗の大きさも同等としてある。



【特許請求の範囲】

【請求項1】 同一基板上の画素マトリクス形成領域と前記基板の外周縁と間に形成されたソース線駆動回路側において、 n を3以上の整数とした場合に、前記画素マトリクス形成領域の外周側にその辺方向に向かって形成されて前記ソース線駆動回路のシフトレジスタ部の形成領域の側から前記画素マトリクス形成領域側に向かって並列する n 列のビデオ信号線と、これらのビデオ信号線毎に層間絶縁膜を介して導電接続し、そこから前記画素マトリクス形成領域側に向かう n 列のソース側配線層と、これらの各ソース側配線層とこれらのソース側配線層毎に対応する各ソース線との間に介挿され、前記シフトレジスタ部側から出力された駆動用信号に基づいて前記ソース側配線層と前記ソース線とが導電接続する状態および非導電接続状態に動作がそれぞれ切り換えられる n 個のスイッチ部と、前記シフトレジスタ部側から前記スイッチ部に向けて形成されて前記ビデオ信号線に対して層間絶縁膜を介して交差し、前記駆動用信号を前記スイッチ部毎に入力する n 列の駆動用信号線と、を有し、これらの駆動用信号線と前記ビデオ信号線との各交差領域における配線の重なり面積はいずれも同等であって、前記ソース側配線層と前記ビデオ信号線との各交差領域における配線の重なり面積はいずれも同等になっており、前記ソース側配線層には、その前記ビデオ信号線との導電接続位置から前記スイッチ部との導電接続位置までの間の配線長さに対応してその幅寸法を調整し、その間の電気的抵抗を各ソース側配線層同士で同等とすべき電気的抵抗補正部が形成されていることを特徴とするアクティブマトリクス表示パネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示パネルなどのアクティブマトリクスパネルに関し、特に、そのビデオ信号線周囲の配線構造に関する。

【0002】

【従来の技術】液晶の配向状態などを利用して情報を表示するフラット型表示パネルのうち、アクティブマトリクス方式の液晶表示パネルにおいては、図4にブロック図で示すように、透明基板11の表面側に画素マトリクス22、ソース線駆動回路12およびゲート線駆動回路21が形成されている。ソース線駆動回路12は、シフトレジスタ部13、TFT（薄膜トランジスタ）で構成されたスイッチ回路 $T_1, T_2, T_3 \dots$ およびビデオ信号線 V_1, V_2, V_3 を有し、シフトレジスタ部13の側から各スイッチ回路 $T_1, T_2, T_3 \dots$ には、シフトレジスタ部13から出力されたビット信号（駆動用信号）が駆動用信号線 $G_1, G_2, G_3 \dots$ を介して入力可能になっている。このため、ビット信号が駆動用信号線 $G_1, G_2, G_3 \dots$ を介して各スイッチ回路 $T_1, T_2, T_3 \dots$ に入力されると、各ス

イッチ回路 $T_1, T_2, T_3 \dots$ が高インピーダンス状態から低インピーダンス状態に切り換わる。この切り換えによって、ビデオ信号線 V_1, V_2, V_3 に供給されていたビデオ信号はソース線 $X_1, X_2, X_3 \dots$ にホールドされ、画素 $P_1, P_2 \dots$ においては、ビデオ信号が液晶セル30の液晶の配向状態を変化させて画面を表示する。

【0003】このような構成のアクティブマトリクス液晶表示パネルにおいては、ソース線駆動回路12が画素マトリクス22と透明基板11の外周縁との間に配置されているため、そのビデオ信号線 V_1, V_2, V_3 と、駆動用信号線 $G_1, G_2, G_3 \dots$ およびソース側配線層 S_1, S_2 とが、図5に示すように、必然的に交差することになる。すなわち、ビデオ信号線 V_1 に導電接続するソース側配線層 S_{b1} （ S_1 ）はビデオ信号線 V_2, V_3 と交差し、ビデオ信号線 V_1 に導電接続するソース側配線層 S_{b2} （ S_2 ）はビデオ信号線 V_3 と交差している。但し、ビデオ信号線 V_3 に導電接続するソース側配線層 S_{b3} （ S_3 ）はいずれのビデオ信号線 V_1, V_2, V_3 とも交差していない。ここで、スイッチ回路 T_1, T_2, T_3 はビデオ信号線 V_1, V_2, V_3 の側方位置に一括して形成されているため、ソース側配線層 S_{b1}, S_{b2}, S_{b3} におけるビデオ信号線 V_1, V_2, V_3 との導電接続位置からスイッチ回路 T_1, T_2, T_3 との導電接続位置までの間の長さ寸法がそれぞれ異なる。そして、この間の電気的抵抗が異なっていると、各ビデオ信号線 V_1, V_2, V_3 に対応する画素 $P_1, P_2 \dots$ における表示状態にばらつきが発生しやすい。このため、各ソース側配線層 S_{b1}, S_{b2}, S_{b3} の配線長さに応じて、それらの幅寸法を変えて、いずれのソース側配線層 S_{b1}, S_{b2}, S_{b3} においても、その電気的抵抗が同等になるように設定されている。すなわち、ソース側配線層 S_{b1}, S_{b2}, S_{b3} の順に配線長さが長い場合、その配線幅はソース側配線層 S_{b1}, S_{b2}, S_{b3} の順に広く設定されている。

【0004】

【発明が解決しようとする課題】ここで、ビデオ信号線 V_1, V_2, V_3 とソース側配線層 S_{b1}, S_{b2} および駆動用信号線 $G_1, G_2, G_3 \dots$ との交差部の構造は、図6に示すように、ソース側配線層 S_{b1}, S_{b2} および駆動用信号線 $G_1, G_2, G_3 \dots$ は下層側に形成され、ビデオ信号線 V_1, V_2, V_3 は上層側に形成されて、それらの間には層間絶縁膜14が存在している。このため、交差部の配線層間には層間絶縁膜14によって寄生容量が存在する。ここで、駆動用信号線 G_1, G_2, G_3 の幅はいずれも同等であるため、駆動用信号線 G_1, G_2, G_3 とビデオ信号線 V_1, V_2, V_3 と交差部における寄生容量は、図7に示すように、いずれもCaで同等である。しかしながら、従来のアクティブマトリクス液晶表示パネルにおいては、ソース側配線層

S_{b1} , S_{b2} , S_{b3} に順に配線幅が広く設定されているため、ソース側配線層 S_{b1} とビデオ信号線 V_2 , V_3 との交差部における寄生容量の大きさを C_{b21} 、ビデオ信号線 V_2 とソース側配線層 S_{b3} との交差部における寄生容量の大きさを C_{b22} とすると、 $C_{b21} > C_{b22}$ である。しかも、各配線に対する容量の寄生する状態が異なる。従って、ビデオ信号線 V_1 とソース側配線層 S_{b1} とが構成する第1の経路には $(3C_a + 2C_{b21})$ の容量が寄生し、ビデオ信号線 V_2 とソース側配線層 S_{b2} とが構成する第2の経路には $(3C_a + C_{b21} + C_{b22})$ の容量が寄生し、ビデオ信号線 V_3 とソース側配線層 S_{b3} とが構成する第3の経路には $(3C_a + C_{b21} + C_{b22})$ が寄生している。従って、ビデオ信号線 V_1 とソース側配線層 S_{b1} とが構成する第1の経路には、他の経路に比して大きな寄生容量が存在する状態にある。それ故、従来のアクティブマトリクス液晶表示パネルにおいては、ビデオ信号線 V_1 とソース側配線層 S_{b1} とが構成する第1の経路を伝わるビデオ信号の遅延が他の経路における遅延に比較して大きく、これらの経路に対応する画素 P_1 に3本おきの表示むらなどが発生する。また、ビデオ信号線 V_1 とソース側配線層 S_{b1} とが構成する第1の経路に寄生する容量が大きいため、いずれかの配線に静電気などによって異常電位が供給されると、第1の経路に突入電流が集中して、ビデオ信号線 V_1 に欠陥が生じやすいという問題点もある。

【0005】以上の問題点に鑑みて、本発明の課題は、ビデオ信号線と交差する配線層の構造を最適化して、ビデオ信号線および配線に寄生する電気的成分を等価にし、表示特性および信頼性を向上可能なアクティブマトリクス表示パネルを実現することにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明において講じた手段は、同一基板上の画素マトリクスの形成領域と基板の外周縁と間に形成されたソース線駆動回路側において、画素マトリクスの形成領域の外周側にその辺方向に向かって形成されてソース線駆動回路のシフトレジスタ部の形成領域の側から順に画素マトリクスの形成領域に向かって並列する n （但し、 n は3以上の整数。）列のビデオ信号線と、これらのビデオ信号線毎に層間絶縁膜を介して導電接続し、そこから画素マトリクス形成領域側に向かう n 列のソース側配線層と、これらの各ソース側配線層とこれらのソース側配線層毎に対応する各ソース線との間に介挿され、シフトレジスタ部側から出力された駆動用信号に基づいてソース線配線層とソース線とが導電接続する状態および非導電接続状態に動作がそれぞれ切り換えられる n 個のスイッチ部と、シフトレジスタ部側からスイッチ部に向けて形成されてビデオ信号線に対して層間絶縁膜を介して交差し、駆動用信号をスイッチ部毎に入力する n 列の駆動用信号線とを有するアクティブマトリクス表示パネルに

対して、これらの駆動用信号線とビデオ信号線との各交差領域における配線の重なり面積をいずれも同等とし、ソース側配線層とビデオ信号線との各交差領域における配線の重なり面積をいずれも同等とし、かつ、ソース側配線層には、そのビデオ信号線との導電接続位置からスイッチ部との導電接続位置までの間の配線長さに対応してその幅寸法を調整し、その間の電気的抵抗を各ソース側配線層同士で同等とすべき電気的抵抗補正部を設けることである。すなわち、ソース側配線層とビデオ信号線との各交差領域における配線の重なり面積をいずれも同等にしつつ、各ソース側配線層におけるビデオ信号線との導電接続位置からスイッチ部との導電接続位置まで電気的抵抗を同等とする目的に、ソース側配線層に形成した配線幅方向の拡張部または狭小部などの電気的抵抗補正部によって電気的抵抗を調整することである。

【0007】

【作用】上記手段を講じた本発明に係るアクティブマトリクス表示パネルにおいて、画素マトリクスの形成領域の外周側で並列する n 列のビデオ信号線に対して、これらのビデオ信号線から画素マトリクス形成領域側のスイッチ部に向かう n 列のソース側配線層と、駆動用信号をスイッチ部毎に入力する n 列の駆動用信号線とが交差ししているため、それらの交差部には容量が寄生する。ここで、ビデオ信号線と駆動用信号線との交差部における寄生容量の大きさは同等であるが、ビデオ信号線とソース側配線層との交差部における寄生容量を同等とする目的に、ソース側配線層の配線幅を同等とすると、ソース側配線層に寄生する電気的抵抗がソース側配線層毎に異なってしまう。そこで、本発明においては、ソース側配線層とビデオ信号線との各交差領域におけるソース側配線層の配線幅をいずれの交差部においても同等にすることによって、ビデオ信号線とソース側配線層との交差部における寄生容量を同等とする一方で、ソース側配線層に形成した配線幅方向の拡張部または狭小部などの電気的抵抗補正部によってその電気的抵抗を調整してある。このため、ビデオ信号線とソース側配線層とによって構成されるビデオ信号の経路に寄生する容量および抵抗をいずれの経路においても同等にすることができる。それ故、各経路におけるビデオ信号の遅延に差がないので、表示特性が向上する。また、配線に静電気などによって異常電位が供給されても、特定の経路に突入電流が集中することがないので、その信頼性が向上する。

【0008】

【実施例】つぎに、添付図面を参照して、本発明の一実施例について説明する。

【0009】図1は本発明の実施例に係るアクティブマトリクス液晶表示パネルのソース線駆動回路側におけるビデオ信号線の形成領域周囲の概略平面図である。ここで、本例のアクティブマトリクス液晶表示パネルの全体構成は、図4に示すブロック図と概ね同様であるため、

その全体構成については、従来例と同様に、図4を参照して説明する。また、本例のアクティブマトリクス液晶表示パネルと従来のアクティブマトリクス液晶表示パネルとは、その基本的な構成は略同様であるため、対応する部分には同符号を付して説明する。

【0010】まず、本例のアクティブマトリクス液晶表示パネルの特徴点であるソース線駆動回路側におけるビデオ信号線の形成領域周囲の構成を説明する前に、図4を参照して、本例のアクティブマトリクス液晶表示パネルの全体構成について説明しておく。この図において、透明基板11の表面側には、画素マトリクス22、ソース線駆動回路12およびゲート線駆動回路21が形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、ソース線駆動回路12は、シフトレジスタ部13、TFT（薄膜トランジスタ）で構成されたスイッチ回路 T_1 、 T_2 、 T_3 ・・・およびビデオ信号線 V_1 、 V_2 、 V_3 を有し、シフトレジスタ部13の側から各スイッチ回路 T_1 、 T_2 、 T_3 ・・・には、シフトレジスタ部13から出力されたビット信号（駆動用信号）が駆動用信号線 G_1 、 G_2 、 G_3 ・・・を介して入力可能になっている。ここで、ソース線駆動回路12のシフトレジスタ部13にクロック信号線34を介してクロック信号が入力されて、そこから出力されたビット信号が駆動用信号線 G_1 、 G_2 、 G_3 ・・・を介して各スイッチ回路 T_1 、 T_2 、 T_3 ・・・に入力されると、各スイッチ回路 T_1 、 T_2 、 T_3 ・・・が高インピーダンス状態から低インピーダンス状態に切り換わる。この切り換えによって、ビデオ信号線 V_1 、 V_2 、 V_3 に供給されていたビデオ信号はソース側配線層 S_1 、 S_2 、 S_3 ・・・および各スイッチ回路 T_1 、 T_2 、 T_3 ・・・を介してソース線 X_1 、 X_2 、 X_3 ・・・にホールドされ、ソース線 X_1 、 X_2 、 X_3 ・・・とゲート線 Y_1 、 Y_2 、 Y_3 ・・・との交点に形成された複数の画素 P_1 、 P_2 ・・・に出力される。これらの画素 P_1 、 P_2 ・・・においては、ゲート信号に基づいて薄膜トランジスタ（TFT）29が駆動されて、その動作状態に対応して、ビデオ信号が液晶セル30の液晶の配向状態を変化させて画面を表示する。なお、ゲート線駆動回路21はシフトレジスタ部20および必要に応じてバッファ回路23を有し、そこにはクロック信号線37からシフトレジスタ部20にクロック信号を入力可能になっている。また、35、38はソース線駆動回路12およびゲート線駆動回路21にスタート信号を入力するスタート信号線である。

【0011】このような構成のアクティブマトリクス液晶表示パネルにおいては、ソース線駆動回路12が画素マトリクス22と透明基板11の外周縁との間に配置されているため、そのビデオ信号線 V_1 、 V_2 、 V_3 と、駆動用信号線 G_1 、 G_2 、 G_3 ・・・およびビデオ信号線 V_1 、 V_2 に導電接続するソース側配線層 S_1 、 S_2

とが、図1に示すように、必然的に交差することになる。すなわち、ビデオ信号線 V_1 、 V_2 、 V_3 は画素マトリクス22の辺方向に向かって形成されて、シフトレジスタ部13の側から順に画素マトリクス22に向かって並列しており、そのうち、ビデオ信号線 V_1 に導電接続するソース側配線層 S_{a1} （ S_1 ）はビデオ信号線 V_2 、 V_3 と交差し、ビデオ信号線 V_1 に導電接続するソース側配線層 S_{a2} （ S_2 ）はビデオ信号線 V_3 と交差している。但し、ビデオ信号線 V_3 に導電接続するソース側配線層 S_{a3} （ S_3 ）はいずれのビデオ信号線 V_1 、 V_2 、 V_3 とも交差していない。ここで、ビデオ信号線 V_1 、 V_2 、 V_3 とソース側配線層 S_{a1} 、 S_{a2} および駆動用信号線 G_1 、 G_2 、 G_3 ・・・との交差部の構造は、図1のIV-IV'線における断面を図2に示すように、ソース側配線層 S_{a1} 、 S_{a2} および駆動用信号線 G_1 、 G_2 、 G_3 ・・・は下層側に不純物ドーパ型の多結晶シリコンで形成され、ビデオ信号線 V_1 、 V_2 、 V_3 は上層側にアルミニウム層で形成されて、それらの間には層間絶縁膜14が存在している。このため、交差部の配線層間には層間絶縁膜14によって寄生容量が存在するが、駆動用信号線 G_1 、 G_2 、 G_3 の幅はいずれも同等であるため、図3（a）の等価回路に示すように、駆動用信号線 G_1 、 G_2 、 G_3 とビデオ信号線 V_1 、 V_2 、 V_3 と交差部における寄生容量はいずれも C_a で同等である。

【0012】ここで、ソース側配線層 S_{a1} とビデオ信号線 V_2 、 V_3 との交差部における寄生容量の大きさと、ビデオ信号線 V_2 とソース側配線層 S_{a3} との交差部における寄生容量の大きさとが異なっていると、ビデオ信号線 V_1 とソース側配線層 S_{a1} とが構成する第1の経路に寄生する容量の大きさ、ビデオ信号線 V_2 とソース側配線層 S_{a2} とが構成する第2の経路に寄生する容量の大きさ、ビデオ信号線 V_3 とソース側配線層 S_{a3} とが構成する第3の経路に寄生する容量の大きさが異なってしまう、各経路を伝わるビデオ信号に遅延の差が生じ、画面に3本おきの表示むらなどが生じる。また、異常電位が発生した場合には、寄生容量の大きな特定の経路に突入電流が集中してしまう。一方、スイッチ回路 T_1 、 T_2 、 T_3 ・・・はビデオ信号線 V_1 、 V_2 、 V_3 の側方位置に一括して形成されているため、ソース側配線層 S_{a1} 、 S_{a2} 、 S_{a3} におけるビデオ信号線 V_1 、 V_2 、 V_3 との導電接続位置からスイッチ回路 T_1 、 T_2 、 T_3 ・・・との導電接続位置までの間の長さ寸法がそれぞれ異なる。ここで、その間の電気的抵抗が異なっていると、各ビデオ信号線 V_1 、 V_2 、 V_3 に対応する画素 P_1 、 P_2 ・・・における表示状態にばらつきが発生しやすい。

【0013】そこで、本例のアクティブマトリクス液晶表示パネルにおいては、各経路に寄生する容量および抵抗のいずれをも各経路間で等価する目的に、図1に示す

ように、ソース側配線層 S_{a1} , S_{a2} , とビデオ信号線 V_1 , V_2 , V_3 との各交差領域における配線の重なり面積をいずれも同等にしつつ、ソース側配線層 S_{a1} , S_{a2} , S_{a3} に、そのビデオ信号線 V_1 , V_2 , V_3 との導電接続位置からスイッチ回路 T_1 , T_2 , T_3 ... との導電接続位置までの間の長さ寸法に対応してその幅寸法を調整してその間の電氣的抵抗を各ソース側配線層 S_{a1} , S_{a2} , S_{a3} 同士で同等とすべき拡張部 S_{11} および狭小部 S_{22} (電氣的抵抗補正部) を形成してある。すなわち、本例のアクティブマトリクス液晶表示パネルにおいては、各ソース側配線層 S_{a1} , S_{a2} , S_{a3} は、いずれも、配線幅が L_1 と広い拡張部 S_{11} と、配線幅が L_2 と狭い狭小部 S_{22} とで構成され、ソース側配線層 S_{a1} , S_{a2} は、いずれも狭小部 S_{11} でビデオ信号線 V_2 , V_3 と交差している。このため、いずれの交差部における配線の重なり面積も同等になっている。従って、図3(a)に示すように、ソース側配線層 S_{a1} とビデオ信号線 V_2 , V_3 との交差部における寄生容量、ビデオ信号線 V_2 とソース側配線層 S_{a3} との交差部における寄生容量は、いずれの同等であって、その大きさを Cb で表すことができる。なお、前述のとおり、駆動用信号線 G_1 , G_2 , G_3 の幅は一定であるため、駆動用信号線 G_1 , G_2 , G_3 とビデオ信号線 V_1 , V_2 , V_3 と交差部における寄生容量の大きさはいずれも Ca で表してある。この図に示すとおり、いずれの交差部にも、寄生容量 Ca , Cb が寄生しているが、ビデオ信号線 V_1 とソース側配線層 S_{a1} とが構成する第1の経路に寄生する容量の総和は $(3Ca + 2Cb)$ 、ビデオ信号線 V_2 とソース側配線層 S_{a2} とが構成する第2の経路に寄生する容量の総和は $(3Ca + 2Cb)$ 、ビデオ信号線 V_3 とソース側配線層 S_{a3} とが構成する第3の経路に寄生する容量の総和は $(3Ca + 2Cb)$ であり、いずれの経路においても、同等の大きさの寄生容量が寄生している。なお、上記の寄生容量の等価構造については、ソース側配線層 S_{a1} , S_{a2} , S_{a3} に限らず、本例のアクティブマトリクス液晶表示パネルに形成されたいずれのソース側配線層 S_{a1} , S_{a2} , S_{a3} ... にも採用されている。

【0014】さらに、本例のアクティブマトリクス液晶表示パネルにおいては、スイッチ回路 T_1 , T_2 , T_3 はビデオ信号線 V_1 , V_2 , V_3 の側方位置に一括して形成されているため、ソース側配線層 S_{a1} , S_{a2} , S_{a3} におけるビデオ信号線 V_1 , V_2 , V_3 との導電接続位置からスイッチ回路 T_1 , T_2 , T_3 ... との導電接続位置までの間の長さ寸法がそれぞれ異なるが、その間の電氣的抵抗を、各ソース側配線層 S_{a1} , S_{a2} , S_{a3} に形成された拡張部 S_{11} と狭小部 S_{22} とで調整してある。すなわち、ビデオ信号線 V_1 との導電接続位置からスイッチ回路 T_1 との導電接続位置までの配線長さが長いソース側配線層 S_{a1} においては、その拡張部 S_{11} が占める比率が大きく設定されている。これに対して、ビデオ信

号線 V_3 との導電接続位置からスイッチ回路 T_3 との導電接続位置までの配線長さが短いソース側配線層 S_{a3} においては、その狭小部 S_{22} が占める比率が大きく設定されている。ここで、ソース側配線層 S_{a1} , S_{a2} , S_{a3} は不純物ドーパ型多結晶シリコンで形成されているため、アルミニウム層で形成されたビデオ信号線 V_1 , V_2 , V_3 に比して比抵抗が大きいため、ソース側配線層 S_{a1} , S_{a2} , S_{a3} の抵抗を調整すれば、ビデオ信号線 V_1 , V_2 , V_3 とソース側配線層 S_{a1} , S_{a2} , S_{a3} で構成されるビデオ信号の経路の電氣的抵抗が調整されたことになる。このため、図3(b)にその等価回路を示すように、いずれのソース側配線層 S_{a1} , S_{a2} , S_{a3} においても、ビデオ信号線 V_1 , V_2 , V_3 との導電接続位置からスイッチ回路 T_1 , T_2 , T_3 との導電接続位置までの配線長さに応じて、拡張部 S_{11} および狭小部 S_{22} が占める比率が設定されて、その間に電氣的抵抗の大きさがいずれも R で同等になっている。なお、上記の寄生抵抗の等価構造については、ソース側配線層 S_{a1} , S_{a2} , S_{a3} に限らず、本例のアクティブマトリクス液晶表示パネルに形成されたいずれのソース側配線層 S_{a1} , S_{a2} , S_{a3} ... にも採用されている。

【0015】以上のとおり、本例に係るアクティブマトリクス液晶表示パネルにおいては、ビデオ信号線 V_1 , V_2 , V_3 と交差するソース側配線層 S_{a1} , S_{a2} の所定部分の配線幅をいずれの交差部においても同等として、ビデオ信号の経路における寄生容量の大きさを同等にしてあるため、各経路におけるビデオ信号の遅延に差がないので、表示特性が向上する。また、配線に静電気などによって異常電位が供給されても、特定の経路に突入電流が集中することがないので、その信頼性が向上する。

【0016】また、交差部に相当するソース側配線層 S_{a1} , S_{a2} の配線幅を同等にしつつ、ソース側配線層 S_{a1} , S_{a2} , S_{a3} の配線長さに応じて、それらに配線幅の拡張部 S_{11} と狭小部 S_{22} とを設け、それらに寄生する電氣的抵抗の大きさも同等としてある。それ故、各経路におけるビデオ信号の遅延に差が発生することをさらに防止してあるため、表示特性がさらに向上する。

【0017】なお、本例においては、ビデオ信号線 V_1 , V_2 , V_3 を赤、緑、青に対応させて3列のビデオ信号線の場合について説明したが、これに限らず、さらに多数化してもよい。さらに、ビデオ信号線 V_1 , V_2 , V_3 に交差する配線として、ソース側配線層および駆動用信号線のみについて説明したが、さらに他の配線が交差している場合にも適用できる。

【0018】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクス表示パネルにおいては、ソース側配線層とビデオ信号線との各交差領域における配線の重なり面積をいずれの交差部においても同等とし、かつ、ソース側配線層の電氣的抵抗をその配線長さに応じてソース側配

線層に形成された電気的抵抗補正部によって同等に調整してあることに特徴を有する。従って、本発明によれば、ビデオ信号線に寄生する容量および電気的抵抗が同等であるため、各経路におけるビデオ信号の遅延に差がないので、表示特性が向上するという効果を奏する。また、配線に静電気などによって異常電位が供給されても、特定の経路に突入電流が集中することがないので、その信頼性が向上するという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施例に係るアクティブマトリクス液晶表示パネルにおけるビデオ信号線の形成領域周囲の概略平面図である。

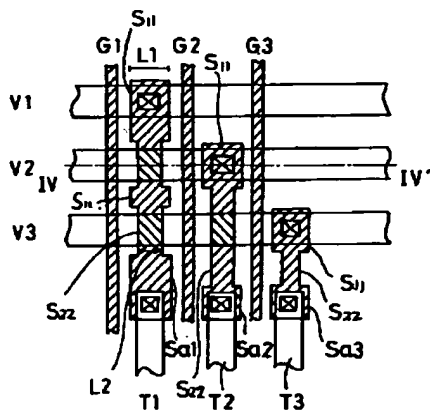
【図2】図1のIV-IV'線における断面図である。

【図3】(a)は図1に示すビデオ信号線に寄生する容量を示す説明図、(b)はそのソース側配線層に寄生する抵抗を示す説明図である。

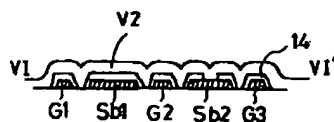
【図4】アクティブマトリクス液晶表示パネルの全体構成を示すブロック部である。

【図5】従来のアクティブマトリクス液晶表示パネルにおけるビデオ信号線の形成領域周囲の概略平面図である。

【図1】



【図6】



【図6】図5のVI-VI'線における断面図である。

【図7】図5に示すビデオ信号線に寄生する容量を示す説明図である。

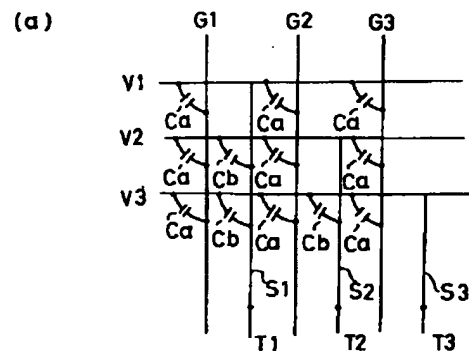
【符号の説明】

- 11・・・透明基板
- 12・・・ソース線駆動回路
- 13, 20・・・シフトレジスタ部
- 21・・・ゲート線駆動回路
- 22・・・画素マトリクス
- 29・・・薄膜トランジスタ
- 30・・・液晶セル
- G1, G2, G3・・・駆動用信号線
- S1, S2, S3・・・ソース側配線層
- Sa1, Sa2, Sa3・・・ソース側配線層
- Sb1, Sb2, Sb3・・・ソース側配線層
- S11・・・拡張部（電気的抵抗補正部）
- S22・・・狭小部（電気的抵抗補正部）
- T1, T2, T3・・・スイッチ回路
- V1, V2, V3・・・ビデオ信号線
- X1, X2, X3・・・ソース線
- Y1, Y2・・・ゲート線

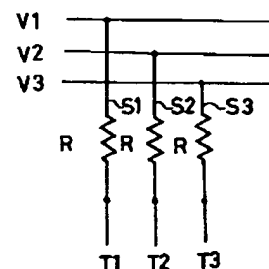
【図2】



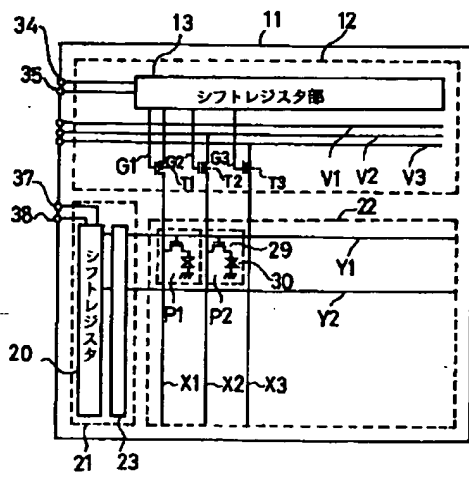
【図3】



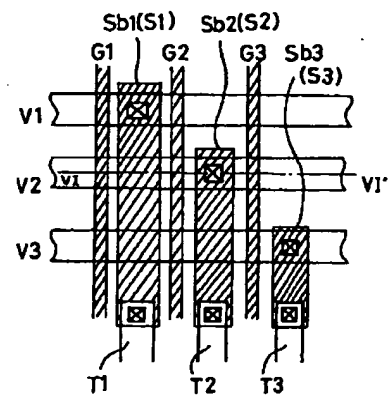
(b)



【図4】



【図5】



【図7】

